

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-130216

(43)公開日 平成8年(1996)5月21日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
21/28	3 0 1	T		
21/285		C		
H 0 1 L 21/ 88 R				
27/ 08 3 2 1 F				
審査請求 未請求 請求項の数15 O L (全 10 頁) 最終頁に続く				

(21)出願番号 特願平6-266786

(22)出願日 平成6年(1994)10月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 清田 久晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 小池 晃 (外2名)

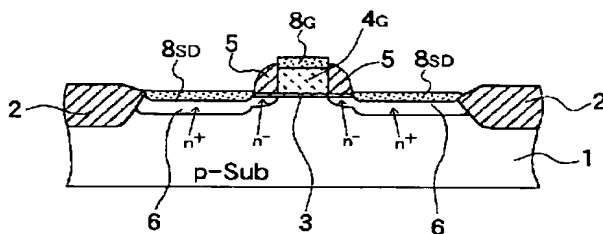
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 SiO_x 層間絶縁膜に対する密着性に優れ、低抵抗で、しかも極薄のゲート酸化膜の耐圧を良好に維持し得るゲート電極を備えたMOSトランジスタを提供する。

【構成】 化学量論組成よりもSi含有量の高い WSi_x 膜(ただし、 $x \geq 2.8$)をパターニングしてなるゲート電極 $4G$ の表層部に、SALICIDE法で TiSi_x 膜 $8G$ を形成する。上記 WSi_x 膜は、 WF_6 のジクロロシラン還元CVD法、あるいはシラン還元CVD法とフッ素引き抜き処理との組み合わせにより成膜する。この WSi_x 膜に不純物を導入して、ゲート電極 $4G$ の仕事関数を制御しても良い。

【効果】 従来のポリサイド膜あるいはポリシリコン/ TiSi_x 積層体よりなるゲート電極に比べ、高速動作、高集積化に適するゲート電極が低コストで形成できる。



1

【特許請求の範囲】

【請求項 1】 少なくとも 2 種類の高融点金属シリサイド膜からなる積層膜がパターンニングされてなる配線パターンを有する半導体装置。

【請求項 2】 前記積層膜は、化学量論組成よりも高い割合でシリコンを含有する第 1 の高融点金属シリサイド膜と、該第 1 の高融点金属シリサイド膜よりも抵抗率の低い第 2 の高融点金属シリサイド膜とがこの順に積層されてなる請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 の高融点金属シリサイド膜が一般式 WSi_x (ただし、 $x \geq 2.8$) で表されるタングステン・シリサイド膜である請求項 2 記載の半導体装置。

【請求項 4】 前記第 2 の高融点金属シリサイド膜がチタン・シリサイド膜である請求項 2 または請求項 3 に記載の半導体装置。

【請求項 5】 前記配線パターンが MOS トランジスタのゲート電極パターンである請求項 1 ないし請求項 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記高融点金属シリサイド膜に不純物が含有されることにより前記ゲート電極パターンの仕事関数が制御されてなる請求項 5 記載の半導体装置。

【請求項 7】 シリコン基板上に化学量論組成よりも高い割合でシリコンを含有する第 1 の高融点金属シリサイド膜を形成する工程と、
前記第 1 の高融点金属シリサイド膜をパターンニングして第 1 の高融点金属シリサイド・パターンを形成する工程と、

少なくとも前記第 1 の高融点金属シリサイド・パターンを被覆して高融点金属膜を形成する工程と、
熱処理を行って前記高融点金属膜を前記第 1 の高融点金属シリサイド膜よりも抵抗率の低い第 2 の高融点金属シリサイド膜に自己整合的に変化させる工程とを有する半導体装置の製造方法。

【請求項 8】 前記第 1 の高融点金属シリサイド膜を形成する工程では、ジクロロシランと六フッ化タングステンを含む混合ガスを用いて正方晶成長温度にて CVD を行うことによりタングステン・シリサイド膜を形成する請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記第 1 の高融点金属シリサイド膜を形成する工程では、該第 1 の高融点金属シリサイド膜を堆積させる段階と、該第 1 の高融点金属シリサイド膜中の残留フッ素を引き抜く段階とを少なくとも 1 回ずつ経る請求項 7 記載の半導体装置の製造方法。

【請求項 10】 前記第 1 の高融点金属シリサイド膜を堆積させる段階ではシラン系ガスと六フッ化タングステンを含む混合ガスを用いてタングステン・シリサイド膜を堆積させ、前記フッ素を引き抜く段階では正方晶成長温度における加熱、もしくは水素系ガスを用いたプラズマ処理の少なくともいずれかを行う請求項 9 記載の半

2

導体装置の製造方法。

【請求項 11】 前記第 1 の高融点金属シリサイド膜を形成する工程では、アモルファス・シリコン膜を成膜する段階と、該アモルファス・シリコン膜上に実質的に化学量論組成を有する該第 1 の高融点金属シリサイド膜を積層する段階と、該第 1 の高融点金属シリサイド膜中の残留フッ素を引き抜く段階とを少なくとも 1 回ずつ経る請求項 7 記載の半導体装置の製造方法。

【請求項 12】 前記第 1 の高融点金属シリサイド膜を堆積させる段階ではシラ系ガスと六フッ化タングステンを含む混合ガスを用いてタングステン・シリサイド膜を堆積させ、前記フッ素を引き抜く段階ではシラン系ガス含有雰囲気中における正方晶成長温度への加熱、もしくはシラン系ガスを用いたプラズマ処理の少なくともいずれかを行う請求項 11 記載の半導体装置の製造方法。

【請求項 13】 前記第 1 の高融点金属シリサイド・パターンにより MOS トランジスタのゲート電極を構成する請求項 7 ないし請求項 12 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 14】 前記第 1 の高融点金属シリサイド膜に不純物を導入することにより前記ゲート電極の仕事関数を制御する請求項 13 記載の半導体装置の製造方法。

【請求項 15】 前記第 2 の高融点金属シリサイド膜としてチタン膜を成膜する請求項 7 ないし請求項 14 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、配線パターンが高融点金属シリサイド膜により構成される半導体装置に関し、特に密着性に優れ、低抵抗で、しかも極薄のゲート酸化膜の耐圧を良好に維持し得るゲート電極を備えた半導体装置に関する。また、かかる半導体装置を簡便に再現性良く製造する方法に関する。

【0002】

【従来の技術】LSI のデザイン・ルールが 1~2 ミクロンであった世代までは、MOS トランジスタのゲート電極材料はもっぱらポリシリコン膜であった。このポリシリコン膜の低抵抗化は通常、リンを大量にドーピング (n+ 型化する) ことで図られてきた。しかし、そのシート抵抗は 100 nΩ の膜厚で約 100 Ω/□ もあり、LSI の微細化および高集積化の進展と共に、ポリシリコン・ゲート電極の配線抵抗による信号の遅延が LSI の動作速度に対して無視できないレベルとなりつつある。また、64 MDRAM クラスの高集積化デバイスで要求される 0.35 μm のデザイン・ルールのもとでは、ゲート酸化膜が 10 nm 程度にまで薄膜化されるため、その耐圧を保証する観点からもポリシリコン膜では限界がある。

【0003】かかる背景から、不純物含有ポリシリコン膜に比べてアニール後に 1 桁以上低いシート抵抗が得ら

3

れる高融点金属シリサイド膜が目されるようになってきた。この高融点金属シリサイド膜の代表例としては、 $TiSi_x$ (チタン・シリサイド) 膜と WSi_x (タングステン・シリサイド) 膜がある。

【0004】 $TiSi_x$ 膜は一般に、SALICIDE (サリサイド) 法と呼ばれる自己整合的シリサイド化プロセスで形成される。これは、ゲート電極の側壁面上にサイドウォールを形成した後、基板の全面を薄い Ti 膜で被覆し、熱処理を行って Si と Ti との接触部において自己整合的にシリサイド化を進行させるプロセスである。上記接触部とは、 Si 基板上にポリシリコン・ゲート電極を形成する MOS トランジスタの場合、ソース／ドレイン領域とゲート電極の各表層部である。つまりこのプロセスでは、ゲート電極の低抵抗化と共に、ソース／ドレイン領域の低抵抗化も図られるわけである。

【0005】一方の WSi_x 膜は、一般には n^+ 型ポリシリコン層の上に積層したいわゆる W-ポリサイド (タングステン・ポリサイド) 膜の形で、サブミクロン (0.7~0.8 μm) 以降の世代のゲート電極材料あるいはメモリ／ロジック系デバイスの多層配線材料として広く用いられている。 WSi_x 膜が単独で用いられること殆ど無いのは、以下のような理由による。

【0006】 WSi_x 膜にはまず、 SiO_2 膜に対する密着性に乏しいという問題がある。たとえば、 WF_6 (六フッ化タングステン) / SiH_4 (シラン) 混合ガス系を用いる、いわゆるシラン還元 CVD でこれを成膜した場合、下地の SiO_2 膜に対する照射損傷は良好に抑えられる反面、 WSi_x 膜は極めて剥離し易くなる。これは、シラン還元 CVD で成膜された WSi_x 膜に通常、 $1 \times 10^{20-21}$ 原子 / cm^3 ものオーダーで F 原子が含有されており、 SiO_2 膜の O 原子と結合すべき Si 原子の結合手が F 原子で消費されているため、あるいは高温低抵抗化アニール時にフッ素の急激な脱ガスが起こるためであると考えられている。特に、近年のようにウェハの大型化に伴って大型の CVD 装置が用いられるようになると、たとえば成膜速度が 10 倍に上昇することで膜中のフッ素濃度は 2~3 倍にも上昇するため、この問題は一層顕著となる。

【0007】第二の問題は、 WSi_x 膜の被酸化特性が悪く、膜が脆弱化しやすいことである。 WSi_x のように W と Si とが共存する系では、 Si が先に酸化されて表面に安定な SiO_2 膜が形成される可能性があり、外部から充分量の Si が供給される系であれば、この SiO_2 膜により WSi_x 膜の表面が保護される。しかし、 WSi_x 膜単独では表面の保護を行うに十分な膜厚の SiO_2 膜が生成されず、この結果、蒸気圧の高い WO_x が生成して膜が脆弱化することとなる。

【0008】

【発明が解決しようとする課題】しかしながら、かかる経緯で実用化されてきた $TiSi_x$ 膜、W-ポリサイド

4

膜にも、以下のような問題がある。

【0009】まず $TiSi_x$ 膜に関しては、シリサイド化を進行させるためのアニールに付随する問題が起こる。そのひとつは、アニール雰囲気起因する TiN_x 形成の有無または多少に応じて Ti の拡散限界が変動したり、あるいは下地のポリシリコン膜からの不純物の吸い上げが生じて該不純物の深さ方向プロファイルが変化するすることである。また、SALICIDE プロセスにおいては、ソース／ドレイン領域上の $TiSi_x$ 膜がゲート電極側壁面のサイドウォール上へ延在して形成されると (いわゆる這い上がり現象) リーク電流が増大する原因となるため、この現象を抑制することも重要である。しかし、這い上がり現象の抑制と低抵抗化とはトレード・オフの関係にある。これらの事情ゆえに、 $TiSi_x$ 膜の成膜に関しては最適デバイス性能を得るための理論解析が難しく、成膜を行うごとに実験的な条件確認を行うことを余儀無くされている。

【0010】一方のポリサイド膜に関しては、次のような種々の問題がある。

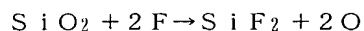
【0011】第一に、W-ポリサイド膜はドライエッチングによる異方性加工が難しい。これは、上層側の WSi_x 膜の主エッチング種がフッ素、下層側のポリシリコン膜の高選択エッチングを行うための主エッチング種が塩素または臭素といったように、両者の最適エッチング条件が大きく異なっており、両層に対して共に異方性加工を達成しようとする、途中でエッチング条件を切り換えるマルチ・ステップ・プロセスが必要となるからである。しかし、ゲート電極の薄膜化に伴って切り換えタイミングのずれに対するマージンが減少している上、タイミング判定そのものが、LSI の表面段差の増大と共に困難となっている。したがって、ドライエッチング装置に著しく高度な制御性が備わっていない限り、W-ポリサイド膜の加工は困難である。

【0012】第二に、 WSi_x 膜の成膜前には厳密なポリシリコン表面の洗浄を要する。W-ポリサイド膜の成膜工程では、ポリシリコン膜を成膜した後に一旦ウェハを大気開放するが、 WSi_x 膜を良好な密着性をもって積層するためには、この大気開放時に該ポリシリコン膜の表面に成長する自然酸化膜を完全に除去しなければならない。自然酸化膜の除去は通常、希フッ酸水溶液にウェハを浸漬するディップ洗浄により行われているが、ウェハの乾燥時に液滴が付着した部分に自然酸化膜が残る現象 (いわゆるウォーター・マーク) が発生し、歩留りを著しく低下させることが問題となっている。この問題を解決するために、クラスター・ツールを用い、ウェハを途中で大気開放せずにポリシリコン膜と WSi_x 膜との連続成膜を行うことも考えられるが、コスト・メリットが生ずるか否かは未だ不明というのが実情である。

【0013】第三に、 WSi_x 膜がポリシリコン膜と積層されることにより、ゲート酸化膜の増速酸化が生ずる

5

虞れがある。WSi_x膜には前述のように、成膜原料ガスであるWF₆に由来するF原子が大量に取り込まれているが、このF原子がゲート酸化膜中へ拡散すると、次の反応



が進行し、F原子の取り込みが継続すると共に、遊離の酸素が放出される。この放出された酸素は、ゲート酸化膜とポリシリコン膜との間の界面に拡散して新たな低級酸化膜を成長させるため、ゲート酸化膜の膜厚を変動させ、その結果としてMOSトランジスタの閾値電圧V_{th}をばらつかせる原因となる。

【0014】この問題への対策として、シラン還元CVDにおける成膜温度を360℃から450℃程度に上げることにより、WSi_x膜中のフッ素濃度を低下させることが試みられているが、気相反応の制御がかえって悪化している。

【0015】また本発明者は、先に第49回応用物理学会学術講演会(1988年秋季年会)講演予稿集p. 616、講演番号5a-A-8において、WF₆/SiCl₂H₂(ジクロロシラン)混合系によるCVDを650℃で行うことにより、WSi_x膜中のフッ素濃度を1/2ないし1/10に低減させ、これをポリサイド・ゲート電極に適用して増速酸化を抑制し、ゲート容量の低下を抑制した事例を報告した。しかし、成膜反応の温度依存性や真空度依存性が高く、再現性や均一性はシラン還元CVDに比べて劣っている。

【0016】第四に、下層側のポリシリコン膜は、低抵抗化にはほとんど寄与しておらず、W-ポリサイド膜の総体的なシート抵抗は100nmの膜厚の場合(WSi_x膜50nm+ポリシリコン膜50nm)はおおよそ20Ω/□が限度である。したがって、LSIの高さ方向の微細化を図る観点からも不利である。

【0017】第五に、W-ポリサイド膜は2層構造をとるため、前処理、成膜、膜の加工といったあらゆるステップにおいて不可避免的に工程数が増大したり、作業制限が発生し工程が複雑化する。このことは、LSIの製造コスト上昇の原因となる。

【0018】このように、W-ポリサイド膜は、シート抵抗やコストをある程度犠牲にしながらいわれてきたものであり、その2層構造に特有の問題点も抱えている。そこで本発明は、MOSトランジスタのゲート電極、あるいは2層目以降の上層配線が低抵抗性、優れた密着性、および高ゲート耐圧を保証し得る膜質をもって形成された半導体装置、およびその低コストで簡便な製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明の半導体装置は上述の目的を達するために提案されるものであり、少なくとも2種類の高融点金属シリサイド膜からなる積層膜がパターンニングされてなる配線パターンを有する。

6

【0020】上記高融点金属シリサイド膜は従来公知のものであって良く、例示すればTiSi_x(チタン・シリサイド)膜、CoSi_x(コバルト・シリサイド)膜、NiSi_x(ニッケル・シリサイド)膜、MoSi_x(モリブデン・シリサイド)膜、TaSi_x(タンタル・シリサイド)膜、WSi_x膜、PtSi_x(白金シリサイド)膜等である。

【0021】前記積層膜は、化学量論組成よりも高い割合でシリコンを含有する第1の高融点金属シリサイド膜と、該第1の高融点金属シリサイド膜よりも抵抗率の低い第の高融点金属シリサイド膜とをこの順に積層したものとすることができる。

【0022】この場合の第1の高融点金属シリサイド膜としては、一般式WSi_x(ただし、x≧2.8)で表されるタングステン・シリサイド膜が特に好適である。この一般式中のxの値に関する規定は、本願出願人が過去に実験的に見出したデータにもとづいており、厚さ10nm近傍のゲート酸化膜の耐圧を良好に維持可能な範囲を示している。ゲート酸化膜の厚さが30nm程度であった世代までは、従来のシラン還元CVDで成膜される通常のWSi_x膜(x≒2.6)であってもゲート耐圧の劣化はそれほど問題とならなかったが、厚さが10nm付近まで薄膜化されたゲート酸化膜の耐圧は保証することができない。すなわち、本発明で用いられるWSi_x膜は、従来の一般的なWSi_x膜よりもSiリッチである。なお、xの値の上限はここでは特に規定されるものではないが、Siリッチになり過ぎるとシート抵抗が上昇するため、実用範囲には自ずと限度がある。

【0023】前記配線パターンは、たとえばメモリ系デバイスやロジック系デバイスの2層目以降の上層配線であってももちろん構わないが、特にMOSトランジスタのゲート電極パターンとした場合には良好なゲート耐圧を保証することができる。このとき、前記高融点金属シリサイド膜に不純物を添加すれば、ゲート電極パターンの仕事関数を制御することもできる。このときの不純物導入方法としては、気相拡散、固相拡散、イオン注入を挙げることができる。この不純物導入は、マスクを用いて高融点金属シリサイド膜の所定の領域に選択的に行うこともでき、たとえばレジスト・マスクを介したイオン注入により、各々異なる種類の不純物、もしくは異なる濃度の不純物を異なる領域に導入することができる。この後、これらの領域の各々においてパターンニングを行えば、仕事関数の異なる複数のゲート電極を同時に形成することも可能となる。

【0024】本発明で用いられるような高融点金属シリサイドの仕事関数は、もともとSiのバンド・ギャップ付近に位置している。したがって、かかる材料を用いてMOSトランジスタのゲート電極を形成すれば、チャネル領域にそれほど大量の不純物を導入しなくても、トランジスタの閾値電圧V_{th}を適当な値(約0.6V)に調

7

整することができる。ポリシリコン膜、ポリシリコン/ $TiSi_x$ 積層膜あるいはW-ポリサイド膜のように、 Si 基板に接触する膜がポリシリコン膜であるようなゲート電極を用いた従来のMOSトランジスタでは、閾値電圧 V_{th} を約0.6Vとするためにチャネル不純物濃度を $10^{17}/cm^3$ のオーダー以上に高めることが必要であった。しかし、 $WSi_x/TiSi_x$ 積層膜のように Si 基板に接触する膜が WSi_x 膜であるようなゲート電極を用いた本発明のMOSトランジスタでは、チャネル不純物濃度は $10^{16}/cm^3$ のオーダー以下で十分である。このとき、電子の移動度 μ_n は不純物による散乱が少なくなる分増大し、室温で約2倍となることが知られている。したがって、本発明によれば、MOSトランジスタの電流駆動能力（電子の移動度 μ_n に比例）を約2倍に向上させることができる。

【0025】このゲート電極に不純物を導入してその仕事関数をさらに制御する考え方は、たとえば相補型トランジスタ（CMOS）の製造において極めて有効である。従来のCMOSでは多くの場合、nMOSのゲート電極にもp型のゲート電極にも共に n^+ 型ポリシリコン膜が用いられてきた。ただし、nMOSとpMOSとの間には仕事関数差が存在し、この差に起因して閾値電圧 V_{th} が非対称となっているため、pMOSのチャネル領域に浅くホウ素（B）のイオン注入を行って両タイプのトランジスタの閾値電圧 V_{th} をほぼ等しく1V以下としていた。しかし、閾値調整用のイオン注入により基板表面の不純物濃度を上昇させると、表面付近のキャリアの移動度が低下するのでLSI動作の高速化には不利であり、将来的にはチャネル不純物濃度を低下させることが必須と考えられてきた。これに対し、閾値電圧 V_{th} をゲート電極の仕事関数を通じて制御すれば、チャネル不純物濃度を上げずにnMOSとpMOSとの間で閾値電圧 V_{th} を対称化することができ、トランジスタの入出力特性を対称化することができる。したがって、CMOSインバータとして基本ゲートを構成した場合の信号伝達特性の対称性を改善することができる。

【0026】本発明の第2の高融点金属シリサイド膜としては、典型的には $TiSi_x$ を成膜することができる。

【0027】一方、本発明の半導体装置の製造方法は、シリコン基板上に化学量論組成よりも高い割合でシリコンを含有する第1の高融点金属シリサイド膜を形成する工程と、前記第1の高融点金属シリサイド膜をパターンニングして第1の高融点金属シリサイド・パターンを形成する工程と、少なくとも前記第1の高融点金属シリサイド・パターンを被覆して高融点金属膜を形成する工程と、熱処理を行って前記高融点金属膜を前記第1の高融点金属シリサイド膜よりも抵抗率の低い第2の高融点金属シリサイド膜に自己整合的に変化させる工程とを経るものである。第2の高融点金属シリサイド膜の形成工程

8

は、いわゆるSALICIDE法の応用である。

【0028】ここで、前記第1の高融点金属シリサイド膜の形成方法としては、次の3通りが考えられる。すなわち、（a）ジクロロシランと六フッ化タンゲステンとを含む混合ガスを用いて正方晶成長温度にてCVDを行う方法、（b）シラン系ガスと六フッ化タンゲステンとを含む混合ガスを用いてCVDを行うことにより該高融点金属シリサイド膜を成膜する段階と、膜中の残留フッ素を引き抜く段階とを少なくとも1回ずつ経る方法、および（c）アモルファス・シリコン膜を成膜する段階と、該アモルファス・シリコン膜上に実質的に化学量論組成を有する高融点金属シリサイド膜を積層する段階と、膜中の残留フッ素を引き抜く段階とを少なくとも1回ずつ経る方法である。

【0029】上述（b）の方法における残留フッ素の引き抜きは、正方晶成長温度における加熱、または水素系ガスをを用いたプラズマ処理の少なくともいずれかにより行うことができる。また、上述（c）の方法における残留フッ素の引き抜きは、シラン系ガス含有雰囲気中における正方晶成長温度への加熱またはシラン系ガスをを用いたプラズマ処理の少なくともいずれかにより行うことができる。これらの残留フッ素の引き抜きは、第1の高融点金属シリサイド膜の予定の膜厚分の全てを成膜し終わった後に1回だけ行っても良いが、数レイヤーずつ成膜するごとに残留フッ素引き抜きシーケンスを挿入して引き抜き効果を高めることもできる。

【0030】本発明では、前記高融点金属シリサイド・パターンをもって、MOSトランジスタのゲート電極を構成することができる。この高融点金属シリサイド膜には不純物を導入することによりゲート電極の仕事関数を制御しても良い。

【0031】

【作用】本発明の半導体装置においては、配線パターンが多層膜構成をとるものの、従来の高融点金属ポリサイド配線とは異なり高融点金属シリサイド膜のみを含む積層膜から構成されるため、従来に比べて一層の低抵抗化が図られる。特に、下層側に化学量論組成よりも高い割合でシリコンを含有する第1の高融点金属シリサイド膜、上層側にこれより抵抗率の低い第2の高融点金属シリサイド膜を配すると、下地の SiO_x 膜に対する優れた密着性と配線パターンの低抵抗化とを同時に達成することができる。特に、下層側に一般式 WSi_x （ただし、 $x \geq 2.8$ ）で表されるタンゲステン・シリサイド膜を用いた場合には、この膜が SiO_x 膜中のO原子と強く結合し得る Si 原子を多く持つために優れた密着性が発揮される。また、上層側に $TiSi_x$ を用いた場合には配線パターンが顕著に低抵抗化される。このとき、下層側の WSi_x 膜である程度の低抵抗化が達成されているため、製造プロセスにおいてこの $TiSi_x$ 膜の形成のために過度に長時間のシリサイド化アニールを行う

必要がない。したがって、MOSトランジスタにおける $TiSi_x$ 膜の這い上がりの問題も回避され、リーク電流を低減させることができる。

【0032】上記第1の高融点金属シリサイド膜は、その仕事関数がSiのバンド・ギャップに近いことから、MOSトランジスタのゲート電極とされた場合に、チャネル不純物濃度の低い、したがってキャリア移動度が高く、電流駆動能力に優れたMOSトランジスタを構成できるといったメリットを有する。

【0033】この第1の高融点金属シリサイド膜を不純物導入後にパターニングすれば、仕事関数の制御されたゲート電極を形成することができる。このことは、たとえばCMOSトランジスタにおける閾値電圧 V_{th} をNMOS-PMOS間で対称化して信号伝達特性を改善することにつながる。かかる半導体装置は、SALICIDE法を適用することにより、従来の高融点金属ポリサイド膜の成膜時のような複雑なプロセスを経ることなく、簡便かつ経済的に製造することができる。

【0034】ここで、前記第1の高融点金属シリサイド膜として WSi_x 膜をジクロロシラン還元CVDにより正方晶成長温度にて成膜した場合には、シラン還元CVDで成膜された WSi_x 膜よりもF原子の取り込み量を3桁も低減できる (1×10^{17} 原子/cm³) ため、Si原子の有効な結合手がF原子に消費される割合を減じ、 SiO_x 膜に対する密着性を向上させることができる。一方、通常のシラン還元CVD、あるいはアモルファス・シリコン膜上において通常のシラン還元CVDを行って WSi_x 膜を成膜した場合には、成膜後に所定雰囲気下における正方晶成長温度への加熱あるいはプラズマ処理を行って残留フッ素を引き抜けば、同様の効果を得ることができる。これらの第1の高融点金属シリサイド・パターンによりMOSトランジスタのゲート電極を構成すれば、フッ素含有量の低減によりゲート酸化膜の増速酸化を抑制し、ゲート耐圧を向上させることができ*

Cl_2 流量	72	SCCM
O_2 流量	8	SCCM
ガス圧	0.4	Pa
マイクロ波パワー	850	W (2.45 GHz)
RFバイアス・パワー	40	W (13.56 MHz)
基板温度	0	℃

このドライエッチングは、ゲート酸化膜3が露出した時点で終了した。これにより、図2に示されるように、異方性形状を有する線幅約 $0.2 \mu m$ のゲート電極4_Gを形成した。

【0042】次に、上記ウェハの全面に As^+ をイオン注入することにより、Si基板1の表層部のうちゲート電極4_Gにマスクされなかった領域に、自己整合的にn型のLDD領域を形成した。続いて通常の SiO_2 膜の全面堆積およびエッチバックにより、上記ゲート電極4_Gの側壁面にサイドウォール5を形成した。このエッ

する。

【0035】

【実施例】以下、本発明の具体的な実施例について説明する。

【0036】実施例1

本実施例は、ジクロロシラン還元CVDによる WSi_x 膜と、SALICIDE法によりその表面に自己整合的に形成された $TiSi_x$ 膜の2層からなる配線パターンを、NMOSトランジスタのゲート電極として形成した例である。このプロセスを、図1ないし図5を参照しながら説明する。

【0037】まず、図1に示されるように、p型のSi基板1 (p-Sub) にLOCOS法により素子分離領域2を形成し、この素子分離領域2に囲まれる素子形成領域の表面を熱酸化して厚さ11nmのゲート酸化膜3を形成した。

【0038】このウェハをLPCVD装置に搬入し、一例として下記の条件でLPCVDを行い、 WSi_x 膜4を約100nmの厚さに成膜した。

WF_6 流量	1.6	SCCM
$SiCl_2H_2$ 流量	120	SCCM
Ar 流量	100	SCCM
ガス圧	40	Pa
基板温度	680	℃
成膜時間	80	秒

この WSi_x 膜4のSi組成比xは2.8であり、下地のゲート酸化膜3に対して良好な密着性を示した。

【0040】次に、上記 WSi_x 膜4上に図示されないレジスト・マスクを形成した後、このウェハを有磁場マイクロ波プラズマ・エッチング装置にセットし、一例として下記の条件で該 WSi_x 膜4をドライエッチングした。

【0041】

Cl_2 流量	72	SCCM
O_2 流量	8	SCCM
ガス圧	0.4	Pa
マイクロ波パワー	850	W (2.45 GHz)
RFバイアス・パワー	40	W (13.56 MHz)
基板温度	0	℃

チバックは、Si基板1が露出するまで行った。この後、熱酸化を行って、Si露出面に図示されないチャネルリング防止用の薄い SiO_x 膜を形成し、この薄い SiO_x 膜を通じて As^+ をイオン注入することにより、先のLDD領域に一部重なるn⁺型のソース/ドレイン領域6を形成した。これら2回のイオン注入により導入された不純物は、通常のアニールにより活性化させた。

【0043】さらに、このウェハをDCスパッタリング装置にセットし、一例として下記の条件で全面にTi膜7を約27nmの厚さに堆積させた。

11

【0044】

Ar 流量 100 SCCM
 ガス圧 0.47 Pa
 DCパワー 4 kW
 基板温度 300 °C
 成膜時間 20 秒

次に、このウェハに対してAr雰囲気中、約650℃にてランプ・アニールを行うことにより自己整合的なシリサイド化反応を進行させ、図3に示されるように、上記ソース/ドレイン領域6およびゲート電極4Gの表層部にそれぞれ膜厚約70nmのT i S i x 膜8SD、8Gを

形成した。
 【0045】次に、上記のウェハをたとえばアンモニアと過酸化水素水の混合溶液に浸漬し、図4に示されるように未反応のT i 膜7を除去した。さらに、この状態で約850℃にて再びランプ・アニールを行い、T i S i x 膜8SD、8Gを十分に低抵抗化させた。本実施例では、このようにランプ・アニールを2段階に分けて行うことにより、サイドウォール5や素子分離領域2上へのT i S i x 膜8SDの這い上がりが防止されている。

【0046】次に、図5に示されるように、基体の全面にたとえばS i O₂ 層間絶縁膜9を堆積させ、これをパターニングして上記T i S i x 膜8SD、あるいは図示されない領域において上記ゲート電極4Gにも臨むコンタクト・ホール11を開口した。さらに、一例としてT i 系バリヤメタルとAl-1%Si膜の積層膜からなる配*

$$\tau = \tau_G + \tau_i + \tau_L$$

$$\approx \tau_G + \tau_L$$

ここで、 τ_G はゲート抵抗 R_G とゲート容量 C_G の積、 τ_L はトランジスタのオン抵抗 R_{ON} と負荷容量 C_L の積でそれぞれ近似することができる。ゲート抵抗 R_G は、シート抵抗 R_S に比例する量である。また、オン抵抗 R_{ON} はチャンネル抵抗 R_{CH} と寄生抵抗 R_{PARA} の和であるが、微細化によりデバイス特性を向上させようとしている時は $R_{CH} \gg R_{PARA}$ なので、 R_{PARA} は無視できる。ただし、近年の高度に微細化されたメモリ素子においては、セル・レイアウトの変化に伴い長く引き回されたソース/ド※

$$\tau_G \approx R_G \times C_G$$

$$= \{R_S \times (W/L)\} \times C_G$$

(ただし、Wはゲート幅、Lはゲート長)

$$\tau_L = R_{ON} \times C_L$$

$$= (R_{CH} + R_{PARA}) \times C_L$$

$$\approx R_{CH} \times C_L$$

よって、

$$\tau \approx \{R_S \times (W/L)\} \times C_G + (R_{CH} \times C_L) \quad \dots (iv)$$

である。

【0053】ここで、従来のポリシリコン/T i S i x ゲートを本実施例のW S i x /T i S i x ゲートに変更した場合を考えると、シート抵抗 R_S は75Ω/□から

12

*線膜を基体の全面に被着形成し、これをパターニングして上層配線11を形成し、MOSトランジスタを完成した。

【0047】次に、上述のようにして完成されたNMOSトランジスタの動作速度が、従来のポリシリコン/T i S i x 積層体からなるゲート電極を用いた従来のNMOSトランジスタに比べてどの程度上昇するかを検討した。従来のMOSトランジスタの構成は図6に示されるとおりであり、ゲート電極14Gがn+型ポリシリコン膜のパターニングにより作製されている他は、本実施例のNMOSトランジスタと同じである。

【0048】まず、膜厚100nmのポリシリコン膜とW S i x 膜のシート抵抗 R_S を比較すると、約75Ω/□および7.5Ω/□である。因みに、膜厚70nmのT i S i x 膜のシート抵抗は約1.1Ω/□であり、従来例と本実施例で共通である。

【0049】次に、信号遅延時間 τ を試算する。信号遅延時間 τ は、ゲートに入力信号が入ってからゲート電位が立ち上がるまでの時間 τ_G と、トランジスタがオンとなるための真性の時間 τ_i と、トランジスタのオン電流により負荷容量 C_L が充電されるまでの時間 τ_L の和で表される。ただし、通常は $\tau_i \ll \tau_G$ 、 τ_L なので、 τ_i は無視できる。以上のことを表すと、式(i)となる。

【0050】

... (i)

※レイン領域のシート抵抗が無視できないレベルに達していることもある。このような場合には、ソース/ドレイン領域のシート抵抗に比例する量(セル・イアウトに依存する)を上記のチャンネル抵抗 R_{CH} に加算して考える必要がある。

【0051】以上のことを表すと、式(ii)、(iii)となる。

【0052】

... (ii)

... (iii)

7.5Ω/□に変化することになり、式(iv)の R_S は1/10となる。また、本明細書の「課題を解決するための手段」の欄で論じたように、電流駆動能力は最大で2倍になる。これは、式(iv)のチャンネル抵抗 R_{CH} の値が1

13

／2になることを意味している。したがって、信号遅延時間 τ も全体として 1／2 以下となる。つまり、本実施例で完成された CMOS トランジスタは、従来のトランジスタに比べて少なく見積もっても 2 倍の動作速度を達成できることがわかった。

【0054】実施例 2

本実施例では、上記 WS_ix 膜 4 の成膜方法を変更し、*

WF ₆ 流量	5	SCCM
SiH ₄ 流量	1000	SCCM
Ar 流量	200	SCCM
ガス圧	26.6	Pa (200 mTorr)
基板温度	360	℃
成膜時間	110	秒

この WS_ix 膜 4 の Si 組成比 x は 2.8 であった。ただし、この膜はフッ素を大量に吸蔵しているため、N₂ 雰囲気下、600℃、30 分間の条件でアニールを行った。このアニールを行うことにより、最終的に完成された NMOS トランジスタにおいて T_{ZDB} (初期不良絶縁破壊) 特性でみた場合のゲート耐圧が大幅に向上した。

【0057】なお、上記アニールは H₂ 雰囲気下で行っても良い。あるいはアニールに替えて、H₂ 等の水素系ガスを含む雰囲気下でプラズマ処理を行っても良い。これらアニールやプラズマ処理は、成膜プロセスの途中で随時行っても良く、WS_ix 膜 4 をたとえば 10 nm 形成するごとにアニールまたはプラズマ処理を行うようなシーケンスを所望の WS_ix 膜厚が達成されるまで繰り返しても良い。

【0058】実施例 3

本実施例では、実施例 1 の NMOS トランジスタが CMOS トランジスタの一部である場合を想定し、該 NMOS トランジスタと図示されない PMOS トランジスタの各ゲート電極の仕事関数を、イオン注入により変化させた。

【0059】すなわち、図 1 に示されるように WS_ix 膜 4 を成膜した後、図示されない PMOS トランジスタの形成領域をレジスト・マスクで被覆し、露出部分にヒ素 (As⁺) のイオン注入を行って該 WS_ix 膜 4 の導電型を n⁺ 型とした。このときのイオン注入条件は、たとえばイオン加速エネルギー 20 keV、ドーズ量 10¹⁶/cm² のオーダーとした。

【0060】次に、NMOS トランジスタの形成領域をレジスト・マスクで被覆し、WS_ix 膜 4 の露出部分にホウ素 (B⁺) のイオン注入を行ってその導電型を p⁺ 型とした。このときのイオン注入条件は、たとえばイオン加速エネルギー 15 keV、ドーズ量 10¹⁶/cm² のオーダーとした。

※

WF ₆ 流量	10	SCCM
SiH ₄ 流量	1000	SCCM
Ar 流量	400	SCCM

14

* シラン還元 CVD により WS_ix 膜を成膜した後、フッ素の脱ガス処理として正方晶成長温度でのアニールを行った。

【0055】まず、一例として下記の条件で LPCVD を行い、WS_ix 膜 4 を約 100 nm の厚さに成膜した。

【0056】

※【0061】この後、ゲート電極 4_G、サイドウォール 5、ソース／ドレイン領域 6、TiSi_x 膜 8_{SD}、8_G、SiO₂ 層間絶縁膜 9、コンタクト・ホール 10、上層配線 11 の形成を実施例 1 と同様に行い、CMOS トランジスタを完成した。

【0062】本実施例で形成された CMOS トランジスタは、nMOS トランジスタと pMOS トランジスタの各ゲート電極の仕事関数がイオン注入により相異されている。したがって、その製造プロセスにおいては、チャネル領域にイオン注入を施す必要がなく、双方のトランジスタを対称性良く形成することができる。これにより、動作の高速化とコスト削減が実現される。

【0063】なお、本実施例では n⁺ 型とゲート電極 5_{na} と p⁺ 型のゲート電極 5_{pa} とを形成したが、n⁺ 型と p⁺ 型の中間的な仕事関数を有するゲート電極を形成することも、もちろん可能である。

【0064】実施例 4

本実施例では、上記 WS_ix 膜 4 の成膜方法を変更し、まず薄いアモルファス・シリコン (a-Si) 膜を成膜した後シラン還元 CVD により WS_ix 膜を成膜し、さらにフッ素の脱ガス処理としてシラン雰囲気中におけるプラズマ処理を行った。

【0065】まず、一例として下記の条件で LPCVD を行い、a-Si 膜を約 10 nm の厚さに成膜した。

【0066】

SiH ₄ 流量	400	SCCM
He 流量	100	SCCM
ガス圧	266	Pa (2 Torr)
基板温度	550	℃
成膜時間	150	秒

次に、一例として下記の条件で LPCVD を行い、ほぼ化学量論組成を有する WS_ix 膜を約 100 nm の厚さに成膜した。

【0067】

15

ガス圧	26.6	Pa (200 mTorr)
基板温度	360	℃
成膜時間	100	秒

この WSi_x 膜の成膜は、その初期段階において WF_6 ガスが下地の $a-Si$ 膜の表面で還元ながら進行するため、最終的には化学量論組成よりも Si 含有率の高い WSi_x 膜が成膜された。

【0068】次に、 SiH_4 雰囲気中、 $250^\circ C$ 、2分間のプラズマ処理を行った。このプラズマ処理により、 WSi_x 膜中の残留フッ素が減少した。この結果、最終的に完成されたNMOSトランジスタにおいて、 $TZDB$ 特性でみた場合のゲート耐圧が大幅に向上した。

【0069】なお、上記プラズマ処理は Si_2H_6 （ジシラン）等のポリシランを含む雰囲気中で行っても良い。あるいは、プラズマ処理に替えてシランもしくはポリシラン雰囲気下におけるアニールを行っても良い。さらに、これらプラズマ処理やアニールは成膜プロセスの途中で随時行っても良い。

【0070】以上、本発明を4例の実施例にもとづいて説明したが、本発明はこれらの実施例に何ら限定されるものではない。

【0071】たとえば、上述の実施例では第1の高融点金属シリサイド膜として WSi_x 膜、第2の高融点金属シリサイド膜として $TiSi_x$ 膜のみを例示したが、この他の公知の高融点金属シリサイド膜を適用しても、同様の効果が期待できる。また、上述の実施例ではNMOSトランジスタに適用したプロセスのみを示したが、基板やソース／ドレイン領域の導電型を逆にすれば、PMOSトランジスタにももちろん適用できる。この他、デザイン・ルール、基板構成の細部、イオン注入条件、スパッタリング条件、CVD条件についても適宜変更が可能である。

【0072】

【発明の効果】以上の説明からも明らかなように、本発明によれば密着性の不足、ゲート耐圧の劣化、シート抵抗の高さといった問題点が解消されることにより、従来は困難であった高融点金属シリサイド膜のみによるゲート電極の形成が可能となる。したがって、従来のポリサイド膜あるいはポリシリコン/ $TiSi_x$ 積層体からな

16

るゲート電極に比べて高速動作、高集積化に適するゲート電極を形成することができ、MOSトランジスタの性能を大幅に向上させることができる。また、ポリサイド膜に比べて成膜・加工工程が簡略化されるため、製造コストの上昇を抑制することができる。

【図面の簡単な説明】

【図1】本発明をNMOSトランジスタの製造に適用したプロセス例において、 Si 基板上に素子分離領域、ゲート酸化膜、および化学量論組成よりシリコン含有量の高い WSi_x 膜を形成した状態を示す模式的断面図である。

【図2】図1の WSi_x 膜をパターニングしてゲート電極を形成し、さらにサイドウォールとソース／ドレイン領域を形成した後、基体の全面に Ti 膜を成膜した状態を示す模式的断面図である。

【図3】図2の基体をアニールすることにより、ゲート電極とソース／ドレイン領域の表層部に $TiSi_x$ 膜を形成した状態を示す模式的断面図である。

【図4】図3の未反応の Ti 膜を除去した状態を示す模式的断面図である。

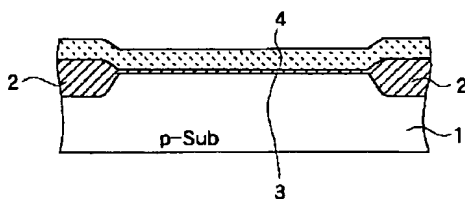
【図5】図4の基体上で SiO_x 層間絶縁膜、コンタクトホール、上層配線を形成し、NMOSトランジスタを完成させた状態を示す模式的断面図である。

【図6】従来のポリシリコン/ $TiSi_x$ 積層体からなるゲート電極を有するNMOSトランジスタの構成例を示す模式的断面図である。

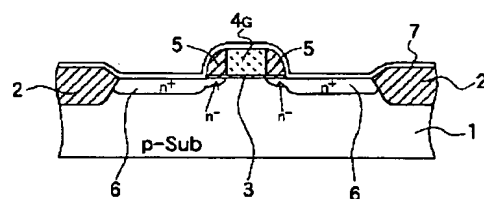
【符号の説明】

- 1 Si 基板
- 3 ゲート酸化膜 (SiO_2)
- 4 WSi_x 膜
- 4G ゲート電極 (WSi_x)
- 5 サイドウォール
- 6 ソース／ドレイン領域
- 7 Ti 膜
- 8G (ゲート電極上の) $TiSi_x$ 膜
- 8SD (ソース／ドレイン領域上の) $TiSi_x$ 膜

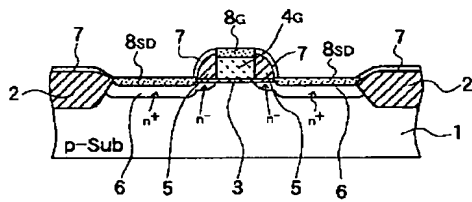
【図1】



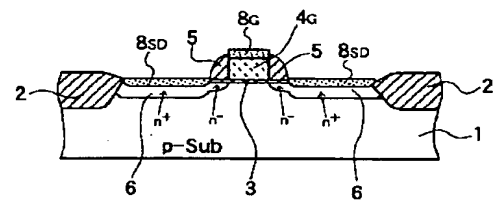
【図2】



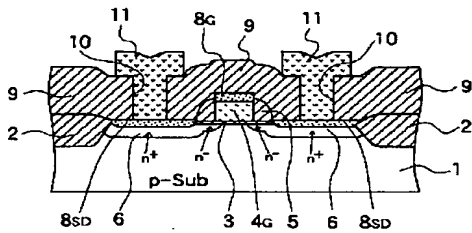
【図 3】



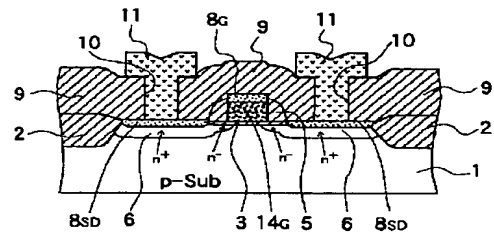
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/8238

27/092

29/78

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

3 0 1 G